

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09319339 A**

(43) Date of publication of application: **12.12.97**

(51) Int. Cl

G09G 3/36
G02F 1/133

(21) Application number: **08153019**

(71) Applicant: **SONY CORP**

(22) Date of filing: **24.05.96**

(72) Inventor: **SUGAMA ATSUSHI**

(54) VIDEO DISPLAY SYSTEM

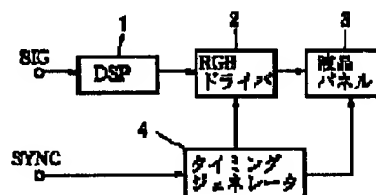
(57) Abstract:

PROBLEM TO BE SOLVED: To precisely and effectively perform a γ correction of the video signals which are inputted to a liquid crystal panel by a digital arithmetic processing.

SOLUTION: The system is provided with a digital signal processor(DSP) 1, an RGB driver 2 and a liquid crystal panel 3. The panel 3 has a nonlinear transmissivity/voltage characteristic. The DSP 1 has an analog/digital(A/D) converter, a computing element and a digital/analog(D/A) converter. The A/D converter converts input analog video signals SIG to digital video signals. The computing element processes the digital video signals based on a prescribed algorithm and performs the γ correction against the signals in accordance with the transmissivity/voltage characteristic of the panel 3. The D/A converter converts the γ correction digital video signals to output analog video signals. The driver 2 performs a prescribed analog process to the output analog video signals, supplies the signals to the panel 3 and conducts a video display. Note that the computing element included in the DSP1 is made of neural networks

and the γ correction processing is conducted in accordance with the algorithm based on a neuron model.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-319339

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			C 0 9 G 3/36	
G 0 2 F 1/133	5 7 5		C 0 2 F 1/133	5 7 5

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21) 出願番号 特願平8-153019

(22) 出願日 平成8年(1996)5月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 須釜 敦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

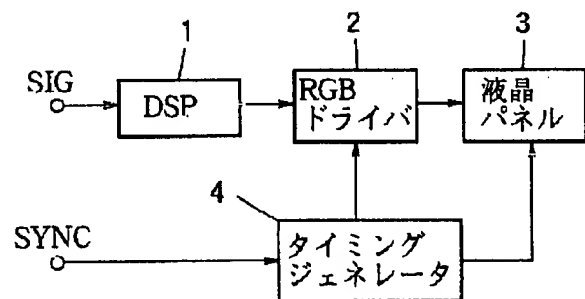
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 映像表示システム

(57) 【要約】

【課題】 液晶パネルに入力される映像信号の γ 補正をデジタル演算処理で精密且つ効率的に行なう。

【解決手段】 映像表示システムはDSP1とRGBドライバ2と液晶パネル3とを備えている。液晶パネル3は非線形な透過率/電圧特性を有する。DSP1はA/D変換器と演算器とD/A変換器を備えている。A/D変換器は入力アナログ映像信号SIGをデジタル映像信号に変換する。演算器はデジタル映像信号を所定のアルゴリズムに従って演算処理し液晶パネル3の透過率/電圧特性に応じた γ 補正をかける。D/A変換器は γ 補正後のデジタル映像信号を出力アナログ映像信号に変換する。RGBドライバ2は出力アナログ映像信号に所定のアナログ処理を施した後液晶パネル3に供給して映像表示を行なう。特徴事項として、DSP1に含まれる演算器はニューラルネットワークで構築されておりニューロンモデルに基づくアルゴリズムに従って γ 補正の演算処理を行なう。



【特許請求の範囲】

【請求項1】 非線形な透過率／電圧特性を有する液晶パネルと、入力アナログ映像信号をデジタル映像信号に変換するアナログ／デジタル変換器と、該デジタル映像信号を所定のアルゴリズムに従って演算処理し該液晶パネルの透過率／電圧特性に応じた γ 補正をかける演算器と、該 γ 補正後のデジタル映像信号を出力アナログ映像信号に変換するデジタル／アナログ変換器と、該出力アナログ映像信号に所定のアナログ処理を施した後該液晶パネルに供給して映像表示を行なうドライバとを備えた映像表示システムであって、

前記演算器はニューラルネットワークで構築されておりニューロンモデルに基づくアルゴリズムに従って γ 補正の演算処理を行なう事の特徴とする映像表示システム。

【請求項2】 前記演算器は、ニューロンモデルに基づくアルゴリズムに従った演算処理で結合係数による乗算処理過程及び非線形関数処理過程を含んでおり、該結合係数は予めバックプロパゲーション法により液晶パネルの透過率／電圧特性に基づいて学習された数値を用いる事の特徴とする請求項1記載の映像表示システム。

【請求項3】 前記結合係数を書き換え可能に記録して該演算器に供給するメモリを備えている事の特徴とする請求項2記載の映像表示システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶パネルをディスプレイとして用い外部から映像信号を供給して液晶パネルを駆動する映像表示システムに関する。より詳しくは、液晶パネルの非線形な透過率／電圧特性に応じて入力映像信号を予め補正し階調表現の適正化を図る技術に関する。

【0002】

【従来の技術】液晶パネルは電極がパタニング形成された上下一対のガラス基板の間に電気光学物質として液晶を保持した構造を有している。上下の電極間に映像信号に応じた電圧を印加し液晶の分子配列を制御して透過率を変化させ所望の映像表示を行なう。図7は液晶パネルの典型的な透過率／電圧特性を示すグラフである。ノーマリホワイトモードの場合、カーブAで示す様に印加電圧の上昇に伴ない透過率が白レベルから中間レベルを経て黒レベルに変化する。しかしながら、この透過率

(T)／印加電圧(V)特性はカーブAで示す様に非線形である。以下、この液晶パネルに固有の非線形な透過率／電圧特性カーブをVTカーブと称する事にする。液晶パネルはこの非線形特性がある為、外部から供給された映像信号をそのまま印加すると適正な階調表現が得られない。この為、従来 γ -アンプを用いてアナログ映像信号を γ 補正している。カーブBで示す γ 補正された映像信号を液晶パネルに印加する事で適正な階調表現を可能にしている。

【0003】

【発明が解決しようとする課題】 γ -アンプを用いたアナログ映像信号の γ 補正は精度が粗い為必ずしも忠実に階調を再現する事ができない。そこで、図8に示す様にデジタル信号処理を用いた γ 補正が採用されている。外部から入力されたアナログ映像信号はアナログ／デジタル変換器(A/D)101によりデジタル映像信号に変換される。その変換値(デジタルデータ)が入力信号に対応した出力信号データのアドレスとして読み出し専用メモリ(ROM)102に入力される。このROM102には予め入力信号に対応して γ 補正を行なった出力信号のデータが記憶されている。このROM102に記憶されたデータは液晶パネルのVTカーブ(図7のカーブA参照)に応じた γ 補正データ(図7のカーブB参照)であるので、従来のアナログ方式の γ -アンプで γ 補正を行なった場合よりも忠実に階調を再現できる。ROM102は指定されたアドレスのデータ(γ 補正のかかったデータ)を出力する。この出力データはデジタル／アナログ変換器(D/A)103により変換され、再びアナログ映像信号に戻される。このデジタル信号処理方式においては、入力映像信号に対応してROM102のデータを出力させる事によりレベル変換(γ 補正)を行なっている。この方式はROM102の使用を前提としている為、デジタルデータの分解能を上げようとするればするほど、大容量のROMが必要となる。即ち、nビットの階調が必要な場合、レベル変換用のROMの容量は2のn乗分だけ必要になってくる。例えば、8ビット(256色)階調ならば、約66KビットのROMで済むが、16ビット(65536色)階調ならば、約4300MビットのROMが必要になってしまう。この為、高解像度が要求される映像表示システムになるほどこのデジタル信号処理方式の実現が困難になるという課題がある。

【0004】

【課題を解決するための手段】上述した従来の技術の課題を解決する為以下の手段を講じた。本発明にかかる映像表示システムは非線形な透過率／電圧特性を有する液晶パネルをディスプレイとして用いている。又、アナログ／デジタル変換器と演算器とデジタル／アナログ変換器とドライバとを備えている。アナログ／デジタル変換器は入力アナログ映像信号をデジタル映像信号に変換する。演算器は該デジタル映像信号を所定のアルゴリズムに従って演算処理し該液晶パネルの透過率／電圧特性に応じた γ 補正をかける。デジタル／アナログ変換器は該 γ 補正後のデジタル映像信号を出力アナログ映像信号に変換する。ドライバは該出力アナログ映像信号に所定のアナログ処理を施した後該液晶パネルに供給して映像表示を行なう。特徴事項として、前記演算器はニューラルネットワークで構築されておりニューロンモデルに基づくアルゴリズムに従って γ 補正の演算処理を行なう。具体的には、前記演算器はニューロンモデルに基づくアル

ゴリズムに従った演算処理で結合係数による乗算処理過程及び非線形関数処理過程を含んでいる。該結合係数は予めバックプロパゲーション法により液晶パネルの透過率／電圧特性に基づいて学習された数値を用いる。好ましくは前記結合係数を書き換え可能に記録して該演算器に供給するメモリを備えている。

【0005】本発明によれば、液晶パネルのVTカーブに沿った γ 補正をかけた映像信号を液晶パネルに供給して適正な階調表現を実現している。この γ 補正は以下の様なデジタル信号処理によって行なわれる。先ず、A/D変換した入力映像信号をラインメモリに書き込み、そのデジタルデータを適切なタイミングで順次演算器に転送して演算処理を行ない γ 補正をかける。そして、演算処理の施されたデジタルデータをD/A変換してアナログ映像信号に戻す。さらに、 γ 補正以外の信号処理を行ない液晶パネルに供給して所望の映像表示を行なう。演算器の演算アルゴリズムとして、ニューロンモデルと呼ばれるニューラルネットワークのアルゴリズムを用いている。このアルゴリズムは入力層、中間層、出力層の3層からなるユニットの並列処理方式で構成されている。入力された信号はユニット間で結合係数により重みづけをされ、接続先のユニットへ入力される。又、中間層と出力層の出力には夫々非線形関数が掛け合わされる。この処理過程によって演算器の入出力の関係が非線形であっても精密に対応する事が可能になり、液晶パネルのVTカーブに応じた γ 補正の演算処理ができる。演算器で用いられる各ユニット間の結合係数はバックプロパゲーションにより予め学習して算出しておく。そして算出された結合係数のデータはメモリに書き込まれ演算処理に使用される。

【0006】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明にかかる映像表示システムの全体構成を示すブロック図である。図示する様に、本映像表示システムはデジタル信号処理装置(DSP)1とRGBドライバ2と液晶パネル3とタイミングジェネレータ4とで構成されている。DSP1には三原色(RGB)別に分かれたアナログ映像信号SIGが入力される。タイミングジェネレータ4には同期信号SYNCが入力される。本映像表示システムは液晶パネル3のVTカーブに応じた γ 補正をかけた映像信号を液晶パネル3に供給している。この為、DSP1を用いたデジタル信号処理によって γ 補正をかけている。従来のアナログ方式のRGBドライバ2の前段にデジタル方式のDSP1を接続する。このDSP1では入力映像信号SIGをA/D変換によりデジタル映像信号に変換している。このデジタル映像信号を演算処理する事によって γ 補正をかけている。 γ 補正のかけられたデジタル映像信号はD/A変換により再びアナログ映像信号に戻

される。次に、アナログに戻された映像信号は従来のアナログ方式のRGBドライバ2に入力され、 γ 補正以外のアナログ信号処理が行なわれる。この信号処理にはブライト調整、ゲイン調整、交流化されたアナログ信号の中心電位調整が含まれる。この際、従来のRGBドライバ2に内蔵された γ -アンプは非動作状態に置かれる。具体的には、 γ -アンプのゲイン調整端子に印加される電圧を制御して、 γ 補正がかからない様にする。そして、アナログ信号処理の済んだ交流化映像信号は液晶パネル3に入力され映像表示が行なわれる。なお、RGBドライバ2と液晶パネル3の駆動はタイミングジェネレータ4で発生するタイミング信号により制御される。

【0007】図2は図1に示したDSP1の内部構成を表わしている。このDSP1はA/D11とラインメモリ12と演算器13とD/A14とROM15を含んでいる。A/D11は入力アナログ映像信号をデジタル映像信号に変換する。このデジタル映像信号はラインメモリ12に逐次書き込まれる。書き込まれたデータは適切なタイミングで順次演算器13に転送される。演算器13はラインメモリ12から転送されたデータを所定のアルゴリズムに従って演算処理し液晶パネルのVTカーブに応じた γ 補正をかける。D/A14は γ 補正後のデジタル映像信号を出力アナログ映像信号へ変換する。この演算器13はニューロンモデルに基づくアルゴリズムに従った演算処理を行ない、結合係数による乗算処理過程及び非線形関数処理過程を含んでいる。この結合係数は予めバックプロパゲーション法により液晶パネルのVTカーブに基づいて学習された数値を用いる。ROM15はこの結合係数を予め格納しており、演算器13に接続されている。

【0008】図3は演算器13の内部構成を模式的に表わしたものである。この演算器13の演算アルゴリズムにはニューロンモデルと呼ばれるニューラルネットワークの分野で考案されたアルゴリズムを用いる。本実施形態のニューロンモデルは入力層、中間層、出力層の3段階に配列された複数のユニットから構成されている。ユニット間の信号は矢印で示す一方向にだけ伝達され、結合係数の乗算過程によりある重みをつけられて結合されたユニット側に入力される。ここで、入力層の出力をI、中間層の出力をHi、出力層の出力をO、入力層ユニットと中間層ユニットiとの結合係数をWi、中間層ユニットiと出力層ユニットとの結合係数をViで表わす事にする。すると、出力層に属する単一のユニットの出力は、中間層に属する各ユニットiの出力Hiと結合係数Viとの加重和により決まるので、以下の数式(1)で表わされる。同様に、中間層に属する各ユニットiの出力Hiは以下の数式(2)で表わされる。

【数1】

$$O = f(\sum V_i \cdot H_i) \quad (1)$$

$$H_i = f(W_i \cdot I) \quad (2)$$

上記の数式(1)及び(2)において、 f は応答関数と呼ばれている。この応答関数としては一般に線形関数、閾値関数、非線形関数等が用いられる。本発明においては液晶パネルのVTカーブが非線形であるので、応答関数 f として非線形関数を用いる。この非線形関数はシグモイド関数と呼ばれており、以下の数式(3)、(4)及び(5)で示す数種類ものが一般的に用いられている。これらの応答関数の何れかをを用いる事によって入力に対して非線形な出力を得る事ができ、映像信号の γ 補正が実現可能である。

【数2】

$$f(x) = \tanh(x) \quad (3)$$

$$f(x) = 1 / [1 + \exp(x)] \quad (4)$$

$$f(x) = -1/2 + 1 / [1 + \exp(-x)] \quad (5)$$

【0009】入力層と中間層、中間層と出力層とを結ぶ重みである W_i 、 V_i の値は、液晶パネルのVTカーブから求められる理想的な γ 補正のデータ(図7のカーブB参照)を教師信号(パターン)として、バックプロパゲーション法に基づく学習により予め算出される。この学習アルゴリズムは図4のフローチャートに示す様な構成になっている。即ち、ステップS1で結合係数 W_i 、 V_i の設定を初期的に行なう。次にステップS2で所望の学習パターンを入力する。さらにステップS3で中間層ユニットの出力 H_i を算出すると共に出力層ユニット

$$E_p = (T_p - O_p)^2 / 2 \quad (6)$$

$$E_t = \sum_p E_p \quad (7)$$

$$\Delta W_i = -\alpha \frac{\delta E_p}{\delta W_i} = \alpha (T_p - O_p) V_i I_p \quad (8)$$

$$\Delta V_i = -\alpha \frac{\delta E_p}{\delta V_i} = \alpha (T_p - O_p) H_i \quad (9)$$

【0011】図5は本発明にかかる映像表示システムに組み込まれるDSP1の変形例を示すブロック図である。理解を容易にする為、図2に示したDSPと対応する部分には対応する参照番号を付してある。図2に示した構成ではDSP1内にROM15が内蔵されており、ここに結合係数 W_i と V_i を予め格納させている。このROM15に格納されたデータを演算に使用する方式で γ 補正を実現している。しかし、図2に示したDSP構成ではROMのデータが固定されてしまう為、映像表示に用いる液晶パネルのVTカーブが機種別に異なる場合等、正しい γ 補正がかけられない惧れがある。そこで、図5に示す様にDSP1内部にデータの書き換え可能なRAM16を設けると共に、ROM15はDSP1の外

の出力 O を算出する。さらに誤差 E_p を算出する。続いてステップS4で結合係数 W_i 、 V_i の修正量 ΔW_i 、 ΔV_i を算出する。ステップS5で誤差 E_t を算出する。ステップS6で誤差が目標値以下かどうかを判定する。この判定結果がNOの場合には結合係数の更新を行なう。判定結果がYESの場合には終了する。

【0010】以下、次の数式(6)～(9)を参照して図4に示した学習アルゴリズムを具体的に説明する。ある学習パターン p が与えられた時、入力 I_p に対する出力 O_p と教示信号 T_p との誤差関数 E_p を、2乗誤差の関数として数式(6)の様に表わす。そして全てのパターンでの誤差 E_t は数式(7)のようになる。この E_t が目標値である0に限りなく近づく様に、 W_i 及び V_i の値を更新させていく。この W_i 、 V_i の結合係数の誤差 E_p に対する修正量 ΔW_i 、 ΔV_i は次の数式(8)及び(9)により表わされる。数式(8)、(9)における α は更新係数と呼ばれその値は任意であるが、通常0.7程度の値が用いられる。そしてこの値は結合係数を求める学習回数に関わってくる。以上の手順で求められた結合係数のデータは図2に示すROM15に予め格納しておき、演算器13に読み込ませて演算処理を行なう。又、中間層のユニット数は少なくとも2つあれば図7に示したカーブBの特性を実現できるので、ROM15としては少なくとも W_1 、 W_2 、 V_1 、 V_2 の4つのデータを格納できる容量があれば良い事になる。

部に配置する構成を採用している。これにより、映像表示を行なおうとする液晶パネルの機種が有するVTカーブに従った、正しい γ 補正用データ(即ち結合係数 W_i 、 V_i)を使用して演算処理を行なう事ができる。

【0012】最後に図6を参照して液晶パネル3の具体的な構成例を示す。図示する様にこの液晶パネルは周辺回路を内蔵したアクティブマトリクス型であり、画面内には信号線Yと走査線Xが交差配列している。信号線Yと走査線Xの各交差部に画素31が配置している。個々の画素は微細な液晶セルLCとスイッチング素子との結合からなる。液晶セルLCは図7に示したVT特性を有している。スイッチング素子は薄膜トランジスタTrからなり、そのゲート電極は対応する走査線Xに接続し、

ソース電極は対応する信号線Yに接続し、ドレイン電極は対応する液晶セルLCの一方の端子を構成する画素電極に接続している。なお液晶セルLCの他方の端子を構成する対向電極32が設けられている。又液晶セルLCと並列に保持容量Csも接続されている。走査線Xの一端には垂直駆動回路33が接続しており、タイミングジェネレータから供給される各種のタイミング信号であるスタート信号VSTやクロック信号VCK1、VCK2等に応じて順次ゲートパルスを一水平期間毎に出力する。ゲートパルスに応じて薄膜トランジスタTrが導通し、各画素の行を順次選択する。各信号線Yの上端部にはトランスミッションゲート素子TGを介してビデオライン34が接続している。ビデオライン34は3本に分かれておりRGBドライバからRGBに分かれた映像信号VR、VG、VBの供給を受ける。これらの映像信号は予めDSPにより γ 補正が施されている。これらの映像信号VR、VG、VB、はRGB3画素同時サンプリング駆動を行なう為所定の位相調整処理が施されている。各画素に割り当てられたRGB3原色と対応する様にビデオライン34が接続されている。3個単位のトランスミッションゲート素子TGは一組となって水平スイッチを構成し、水平走査回路35から順次出力されるサンプリングパルスによって開閉制御され、映像信号VR、VG、VBを同時サンプリングし、上述した順次選択に同期して画素に映像信号を書き込む。水平走査回路35は図1に示したタイミングジェネレータ4から供給される各種のタイミング信号であるスタート信号HST及びクロック信号HCK1、HCK2に応じて順次サンプリングパルスを出力する。

【0013】

【発明の効果】以上説明した様に、本発明によれば、液晶パネルのVTカーブに応じた映像信号を液晶パネルに供給する為、A/D変換した映像信号に対してデジタル演算処理を行なって γ 補正をかけている。このデジタル演算処理のアルゴリズムにはニューロンモデルと呼ばれるニューラルネットワークのアルゴリズムを用いている。この様にニューラルネットワークを利用して映像信

号に γ 補正をかける手段を採用する事で、演算処理に使用するROMは少なくともW1、W2、V1、V2の4つのデータ分の容量を備えていれば良い。この為、従来の様にレベル変換用のROMを使用する場合に比べ、極めて少ない容量のROMで液晶パネルのVTカーブに沿った γ 補正をかける事ができる。映像表示システムにおいて16ビットの階調表現を行なう場合、本発明によればニューラルネットワークの中間層のユニット数がn個の場合32nビットの容量が必要になる。実施例の様に中間層が2つのユニットで構成されている場合には64ビットの容量のROMがあれば本映像表示システムを実現できる。又、結合係数は予め設定しておくべきものであり、ROMに記憶させるデータを変更すれば様々なタイプの液晶パネルに対応する事が可能である。

【図面の簡単な説明】

【図1】本発明にかかる映像表示システムの全体構成を示すブロック図である。

【図2】図1に示した映像表示システムに組み込まれるDSPの具体的な構成例を示すブロック図である。

【図3】図2に示したDSPに組み込まれる演算器の具体的な構成を示す模式図である。

【図4】図3に示した演算器の処理に必要な結合係数の算出方法を示すフローチャートである。

【図5】図2に示したDSPの変形例を示すブロック図である。

【図6】図1に示した映像表示システムに組み込まれる液晶パネルの具体的な構成例を示す回路図である。

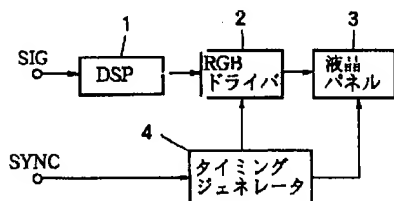
【図7】液晶パネルの一般的な透過率/電圧特性を示すグラフである。

【図8】従来の γ 補正用デジタル演算処理システムを示すブロック図である。

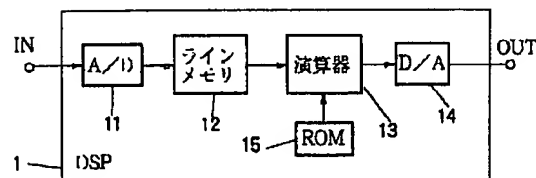
【符号の説明】

1…DSP、2…RGBドライバ、3…液晶パネル、4…タイミングジェネレータ、11…A/D、12…ラインメモリ、13…演算器、14…D/A、15…ROM、16…RAM

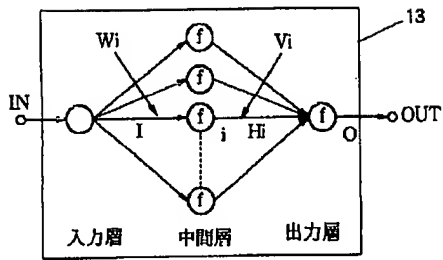
【図1】



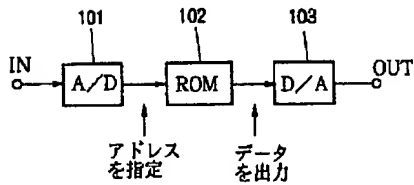
【図2】



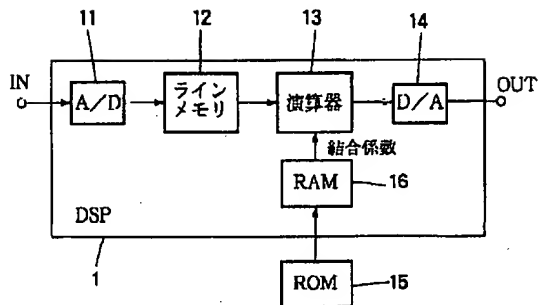
【図3】



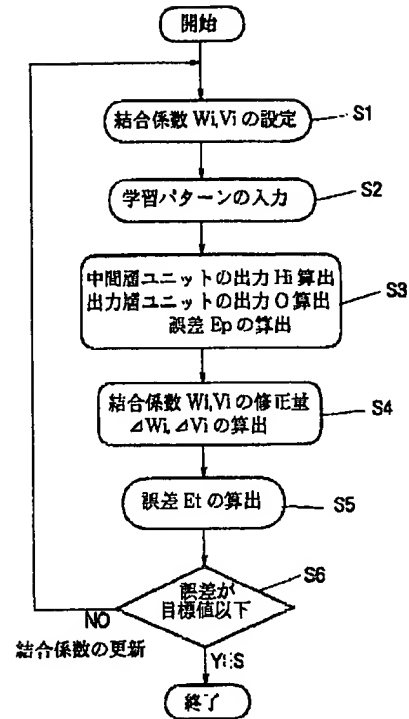
【図8】



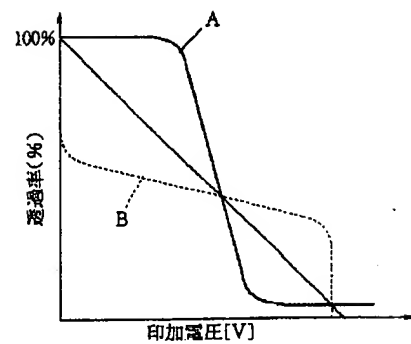
【図5】



【図4】



【図7】



【図6】

